

PAT-NO: JP405299653A

DOCUMENT-IDENTIFIER: JP 05299653 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF

PUBN-DATE: November 12, 1993

INVENTOR-INFORMATION:

NAME

HIROTA, MASANORI

FUSE, MARIO

YAMAMOTO, SHIGERU

ASSIGNEE-INFORMATION:

NAME

FUJI XEROX CO LTD

COUNTRY

N/A

APPL-NO: JP03073037

APPL-DATE: April 5, 1991

INT-CL (IPC): H01L029/784, G02F001/136 , H01L021/336

US-CL-CURRENT: 438/FOR.183

ABSTRACT:

PURPOSE: To simplify the steps of manufacturing a semiconductor device
for

constituting an active matrix type liquid crystal panel display.

CONSTITUTION: Gate electrodes 11, 10 of a reverse staggered amorphous silicon TFT 20 as a pixel switching element for constituting an active matrix type liquid crystal panel display and a **coplanar type polysilicon TFT** 19 as a peripheral driver are formed in the same manufacturing step. A gate insulating film 8b of the TFT 20 and an interlayer insulating film 8a of the TFT 19 are formed in the same manufacturing step, thereby simplifying the steps that much.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-299653

(43)公開日 平成5年(1993)11月12日

| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | FI | 技術表示箇所 |
|--------------------------|-------|---------|----------------|---------|
| H 0 1 L 29/784 | | | | |
| G 0 2 F 1/136 | 5 0 0 | 9018-2K | | |
| H 0 1 L 21/336 | | 9056-4M | H 0 1 L 29/ 78 | 3 1 1 A |
| | | 9056-4M | | 3 1 1 Y |
| 審査請求 未請求 請求項の数 2(全 4 頁) | | | | |

(21)出願番号 特願平3-73037

(22)出願日 平成3年(1991)4月5日

(71)出願人 000005496

富士ゼロックス株式会社
東京都港区赤坂三丁目3番5号

(72)発明者 広田 匡紀

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

(72)発明者 布施 マリオ

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

(72)発明者 山本 滋

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

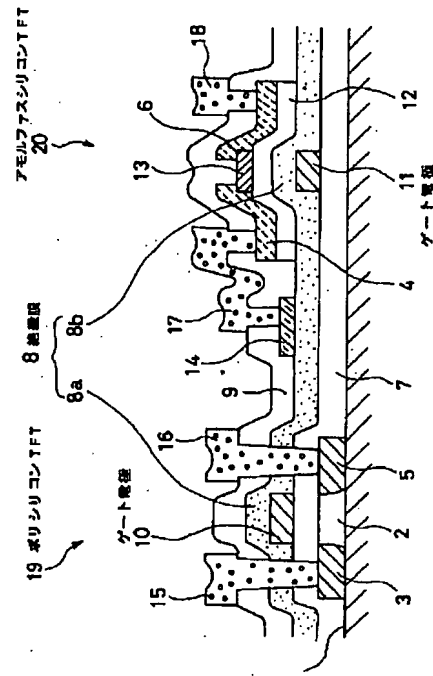
(74)代理人 弁理士 吉田 精孝 (外1名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 アクティブマトリクス型液晶パネルディスプレイを構成する半導体装置の製造工程を簡略化する。

【構成】 アクティブマトリクス型液晶パネルディスプレイを構成する画素部スイッチング素子としての逆スタガー型アモルファスシリコンTFT20と、周辺駆動回路としてのコプレーナ型ポリシリコンTFT19とにおいて、各TFTのゲート電極11及び10を同一の製造工程で形成し、また、逆スタガー型アモルファスシリコンTFT20のゲート絶縁膜8b及びコプレーナ型ポリシリコンTFT19の層間絶縁膜8aを同一の製造工程で形成することにより、その分、製造工程を簡略化する。



【特許請求の範囲】

【請求項1】 アクティブマトリクス型液晶パネルディスプレイを構成する画素部スイッチング素子及び周辺駆動回路をそれぞれ逆スタガー型アモルファスシリコン薄膜トランジスタ及びコプレーナ型ポリシリコン薄膜トランジスタで構成した半導体装置において、ゲート電極、ゲート絶縁膜及び層間絶縁膜のうちの少なくとも1つを同一の製造工程で形成した逆スタガー型アモルファスシリコン薄膜トランジスタ及びコプレーナ型ポリシリコン薄膜トランジスタを備えたことを特徴とする半導体装置。

【請求項2】 アクティブマトリクス型液晶パネルディスプレイを構成する画素部スイッチング素子及び周辺駆動回路をそれぞれ逆スタガー型アモルファスシリコン薄膜トランジスタ及びコプレーナ型ポリシリコン薄膜トランジスタで構成した半導体装置の製造方法において、逆スタガー型アモルファスシリコン薄膜トランジスタ及びコプレーナ型ポリシリコン薄膜トランジスタを構成するゲート電極、ゲート絶縁膜及び層間絶縁膜のうちの少なくとも1つを同時に形成するようになったことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリクス型液晶パネルディスプレイを構成する半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来より、アクティブマトリクス型液晶パネルディスプレイを構成する半導体装置として、画素部を形成するスイッチング素子（以下、画素部スイッチング素子と称す。）とともにシフトレジスタ等の周辺駆動回路を薄膜トランジスタ（以下、TFTと称す。）で構成した半導体装置が提案されている。この際、画素部スイッチング素子としてはコンデンサの電圧を保持する必要性からオフ電流の小さいアモルファスシリコンTFTを、また、周辺駆動回路としては移動度の高いポリ（多結晶）シリコンTFTをそれぞれ用いることが望ましい（例えば、特開昭63-223788号公報、特開平1-212481号公報参照）。

【0003】

【発明が解決しようとする課題】しかしながら、前述した従来の半導体装置では周辺駆動回路を構成するポリシリコンTFTを作成した後、画素部スイッチング素子を構成するアモルファスシリコンTFTを作成していたため、非常に長い製造工程が必要になるという問題があった。

【0004】本発明は前記従来の問題点に鑑み、製造工程を簡略化し得る半導体装置及びその製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明では前記目的を達成するため、請求項1として、アクティブマトリクス型液晶パネルディスプレイを構成する画素部スイッチング素子及び周辺駆動回路をそれぞれ逆スタガー型アモルファスシリコン薄膜トランジスタ及びコプレーナ型ポリシリコン薄膜トランジスタで構成した半導体装置において、ゲート電極、ゲート絶縁膜及び層間絶縁膜のうちの少なくとも1つを同一の製造工程で形成した逆スタガー型アモルファスシリコン薄膜トランジスタ及びコプレーナ型ポリシリコン薄膜トランジスタを備えた半導体装置、また、請求項2として、アクティブマトリクス型液晶パネルディスプレイを構成する画素部スイッチング素子及び周辺駆動回路をそれぞれ逆スタガー型アモルファスシリコン薄膜トランジスタ及びコプレーナ型ポリシリコン薄膜トランジスタで構成した半導体装置の製造方法において、逆スタガー型アモルファスシリコン薄膜トランジスタ及びコプレーナ型ポリシリコン薄膜トランジスタを構成するゲート電極、ゲート絶縁膜及び層間絶縁膜のうちの少なくとも1つを同時に形成するようになった半導体装置の製造方法を提案する。

【0006】

【作用】本発明の請求項1によれば、アクティブマトリクス型液晶パネルディスプレイを構成するアモルファスシリコンTFT及びポリシリコンTFTのゲート電極、ゲート絶縁膜及び層間絶縁膜のうちの少なくとも1つを同一の製造工程で形成できる。

【0007】また、請求項2によれば、同時に形成されたゲート電極、ゲート絶縁膜及び層間絶縁膜のうちの少なくとも1つをそれぞれ有するアモルファスシリコンTFTとポリシリコンTFTとを備えたアクティブマトリクス型液晶パネルディスプレイが製造される。

【0008】

【実施例】図1は本発明の半導体装置の一実施例を示すもので、図中、1は絶縁性基板、2はポリシリコン活性層、3、4はソース電極、5、6はドレイン電極、7、8、9は絶縁膜、10、11はゲート電極、12はアモルファスシリコン活性層、13はチャネル保護層、14は画素電極、15、16、17、18は配線電極である。

【0009】前記ポリシリコン活性層2、ソース電極3、ドレイン電極5、絶縁膜7、8、9、ゲート電極10及び配線電極15、16はコプレーナ型ポリシリコンTFT19を構成し、また、ソース電極4、ドレイン電極6、絶縁膜8、9、ゲート電極11、アモルファスシリコン活性層12、チャネル保護層13及び配線電極17、18は逆スタガー型アモルファスシリコンTFT20を構成する。ここで、前記コプレーナ型ポリシリコンTFT19はアクティブマトリクス型液晶パネルディスプレイの周辺駆動回路を構成し、また、逆スタガー型アモルファスシリコンTFT20はアクティブマトリクス

型液晶パネルディスプレイの画素部スイッチング素子を構成する。なお、実際の装置は多数のこれらのTFTで構成されるが、ここでは一对のみ示す。

【0010】前記ゲート電極10及び11はリン(P⁺)をドーパしたポリシリコン(n⁺poly-Si)で同時に形成される。また、前記絶縁膜8はコプレーナ型ポリシリコンTFT19に対しては層間絶縁膜8aとなり、また、逆スタガー型アモルファスシリコンTFT20に対してはゲート絶縁膜8bとなるもので、水素を含むシリコン窒化膜(SiN_x)で同時に形成される。なお、絶縁膜7はコプレーナ型ポリシリコンTFT19に対するゲート絶縁膜となり、また、絶縁膜9はコプレーナ型ポリシリコンTFT19及び逆スタガー型アモルファスシリコンTFT20に対する層間絶縁膜となる。

【0011】このように、ポリシリコンTFT19のゲート電極10及び層間絶縁膜8aとアモルファスシリコンTFT20のゲート電極11及びゲート絶縁膜8bとをそれぞれ同一の製造工程で形成でき、その分、製造工程を簡略化できる。

【0012】図2は図1の半導体装置の製造工程を示すもので、以下、これに従って製造方法を説明する。

【0013】まず、絶縁性基板1上にLPCVD法によりポリシリコン膜を1000オングストローム堆積し、パターニングを行い、さらに600℃のN₂雰囲気中でアニールしてポリシリコン活性層2を形成する(図2(a))。次に、LPCVD法により二酸化シリコン膜(SiO₂)を1000オングストローム堆積して絶縁膜7を形成し、さらにLPCVD法によりポリシリコン膜を1500オングストローム堆積し、パターニングを行い、この後、加速電圧110keV、ドーズ量2×10¹⁵ions/cm²の条件でリン(P⁺)イオンを注入し、さらに600℃のN₂雰囲気中で48時間の活性化アニールを行う。これにより、図2(b)に示すようにポリシリコンTFT19のゲート電極10及びアモルファスシリコンTFT20のゲート電極11が同時に形成される。

【0014】次に、PCVD法によりシリコン窒化膜(SiN_x)、アモルファスシリコン膜(a-Si)及びシリコン窒化膜(SiN_x)をそれぞれ3000オングストローム、500オングストローム及び1500オングストローム連続的に堆積し、絶縁膜8、アモルファスシリコン膜21及び絶縁膜22を形成する(図2(c))。この工程を詳細に説明すると、図2(c)に示す絶縁膜8を形成する時はまず、最初に絶縁性基板1の温度を350℃に保ち、H₂ガスプラズマ中にて8時間の処理を行い、その後、ガスをSiH₄、NH₃に切替えて3000オングストローム形成する。これらの処理により、ポリシリコン活性層2の結晶粒界(グレインバウ

ンダリー)中に十分な水素が拡散される。この後、真空を破らずにアモルファスシリコン膜21及び絶縁膜22を形成する。

【0015】次に、絶縁膜22にパターニングを行い、チャネル保護層13を形成した後、ボロンをドーパしたアモルファスシリコン膜(n⁺a-Si)を形成し、これをアモルファスシリコン膜21とともにパターニングしてアモルファスシリコン活性層12とソース電極4及びドレイン電極6を形成する(図2(d))。

【0016】次に、透明電極膜(ITO)を500オングストローム堆積し、パターニングを行い、画素電極14を形成する(図2(e))。次に、図2(f)に示すようにPECVD法により酸化シリコン(SiO_x)を8000オングストローム堆積して絶縁膜9を形成し、コンタクト穴23、24、25、26、27をそれぞれ電極3、5、14、4、6に達するまで開ける。最後に、アルミニウム膜(Al-Si)を堆積し、パターニングを行って各配線電極15、16、17、18を形成することによって、図1に示すような半導体装置が完成する。

【0017】前記実施例ではコプレーナ型ポリシリコンTFT19及び逆スタガー型アモルファスシリコンTFT20のゲート電極材料として、リンをドーパしたポリシリコン(n⁺poly-Si)を用いたが、従来から用いられている金属(Cr, Mo, Ta, W又はそれらの混合物)を用いても良い。

【0018】

【発明の効果】以上説明したように本発明の請求項1によれば、アクティブマトリクス型液晶パネルディスプレイを構成するアモルファスシリコンTFT及びポリシリコンTFTのゲート電極、ゲート絶縁膜及び層間絶縁膜のうちの少なくとも1つを同一の製造工程で形成でき、その分、製造工程を簡略化できる。

【0019】また、本発明の請求項2によれば、同時に形成されたゲート電極、ゲート絶縁膜及び層間絶縁膜のうちの少なくとも1つをそれぞれ有するアモルファスシリコンTFTとポリシリコンTFTとを備えたアクティブマトリクス型液晶パネルディスプレイを製造できる。

【図面の簡単な説明】

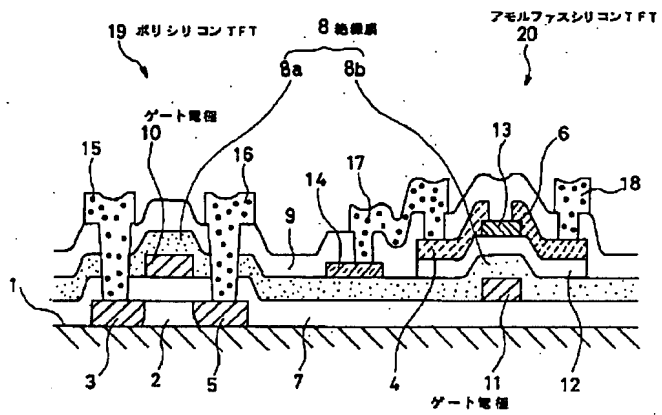
【図1】 本発明の半導体装置の一実施例を示す構成図

【図2】 図1の半導体装置の製造工程図

【符号の説明】

1…絶縁性基板、2…ポリシリコン活性層、3、4…ソース電極、5、6…ドレイン電極、7、8、9…絶縁膜、8a…層間絶縁膜、8b…ゲート絶縁膜、10、11…ゲート電極、12…アモルファスシリコン活性層、13…チャネル保護層、14…画素電極、15、16、17、18…配線電極。

【図1】



【図2】

